**Project 2**

**Due: 4/15/2019 10:30AM**

**서론**

1. 학습자료에 따라 ModelSim을 설치하시오.
2. 각 프로젝트의 파일은 Project<번호> -> Problem<번호> 폴더 구조로 구성한다. 예를 들어, Project2->Problem1의 폴더에 Problem1에서 요구하는 모든 파일을 저장한다. 모든 파일은 Project 2하에서 압축(zip)하고 **압축 화일 이름은 학번**으로 한다.
3. Verilog code 파일의 이름은 **각 문제에 명시된 이름**으로 한다.
4. 보고서가 필요한 경우는 pdf 형식으로 제출한다.
5. 프로젝트 제출일의 수업시작(오전 10시 30분) 전까지 **blackboard**를 이용하여 제출한다.
6. 별도로 명시되지 않은 경우, 모든 Verilog code는 behaviour model로 작성한다.
7. 코드에 **주석을 달아 코드를 설명**하며, 모든 주석은 영어로 작성한다.
8. 파형을 제출할 때, 변수명과 모듈명에 따른 파형을 명확히 표현한다.

* **이번 프로젝트도 개인별 프로젝트입니다.**

**문제 공통**:

강의자료 Lec3 Combinational Circuit Design.pdf, 페이지 14의 방법으로, 1 digit BCD를 입력으로 받아 7-segment로 출력하는 combinational circuit을 설계한다. 이때 입력 값이 정의되지 않는 경우는 E로 display한다.

**문제 1(20점)**

1-bit A0~A7와 3-bit selector(S2S1S0)를 입력으로 받고, selector의 값에 따라 A0~A7 중 하나를 선택하여 출력으로 내보내는 8-to-1 mux를 Verilog code를 이용하여 구현하시오(mux8to1.v). 이때, selector가 3’b000일 때 A0, 3’b001일 때 A1, 3’b010일 때 A2, …, 3’b111일 때 A7을 선택하도록 한다. 또한, 동작을 확인할 수 있도록 A0~A7 = 11100101 값을 사용하고 selector의 모든 값을 사용하는 test bench를 작성하시오(tb\_mux8to1.v). 이때 timescale을 `timescale 100ps/1ps로 설정하고 시간 단위 300ps마다 selector 신호가 변하도록 한다. 다음을 제출하시오.

1. Verilog code (mux8to1.v).
2. Testbench code (tb\_mux8to1.v)
3. (1)을 ModelSim에서 실행하여 출력된 파형

**문제 2(20점)**

4-to-16 decoder를 Verilog code를 이용하여 구현하시오(dec4to16.v). 이때 동작을 확인할 수 있도록 1-bit의 입력 A, B, C, D가 모든 경우를 포함하는 test bench를 작성하시오(tb\_dec4to16.v). 이때 timescale을 `timescale 100ps/1ps로 설정하고 시간 단위 300ps마다 입력신호가 변하도록 한다. Modelsim을 이용하여 simulation하고 출력 파형을 이용하여 검증하시오. 다음을 제출하시오.

1. Verilog code (dec4to16.v).
2. Testbench code (tb\_dec4to16.v)
3. (1)을 ModelSim에서 실행하여 출력된 파형

**문제 3(30점)**

문제 2에서 설계한 4-to-16 decoder module을 이용하고 이 decoder 1개만을 사용하여 BCD-to-7 segment 변환 회로를 구현하시오(bcdto7seg\_dec.v). 입력 0000부터 1111까지 모든 값을 사용하는 test bench를 작성하시오(tb\_bcdto7seg\_dec.v). 이때 timescale을 `timescale 100ps/1ps로 설정하고 시간 단위 300ps마다 selector 신호가 변하도록 한다. 다음을 제출하시오.

1. Verilog code (bcdto7seg\_dec.v).
2. Testbench code (tb\_bcdto7seg\_dec.v)
3. (1)을 ModelSim에서 실행하여 출력된 파형

**문제 4(30점)**

문제 1에서 설계한 8-to-1 mux module를 이용하여 BCD-to-7 segment 변환 회로를 구현하시오. 이때, 각 출력에 대한 8-to-1 mux module이 존재한다. 입력 0000부터 1111까지 모든 값을 사용하는 test bench를 작성하시오. 이때 timescale을 `timescale 100ps/1ps로 설정하고 시간 단위 300ps마다 selector 신호가 변하도록 한다. 작성한 Verilog code(bcdto7seg\_mux.v)와 출력 파형을 제출하시오.

힌트: 7-segment의 입력은 7개의 1-bit이고, mux의 출력은 1-bit 하나이므로, 문제에서 요구하는 변환회로 구현을 위하여 mux 7개가 필요합니다.

1. Verilog code (bcdto7seg\_mux.v).
2. Testbench code (tb\_bcdto7seg\_mux.v)
3. (1)을 ModelSim에서 실행하여 출력된 파형